

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-333055

(43)Date of publication of application : 30.11.2001

(51)Int.Cl.

H04L 7/02

H03L 7/00

H04L 7/00

H04L 25/08

(21)Application number : 2000-147996

(71)Applicant : DENSO CORP

(22)Date of filing : 19.05.2000

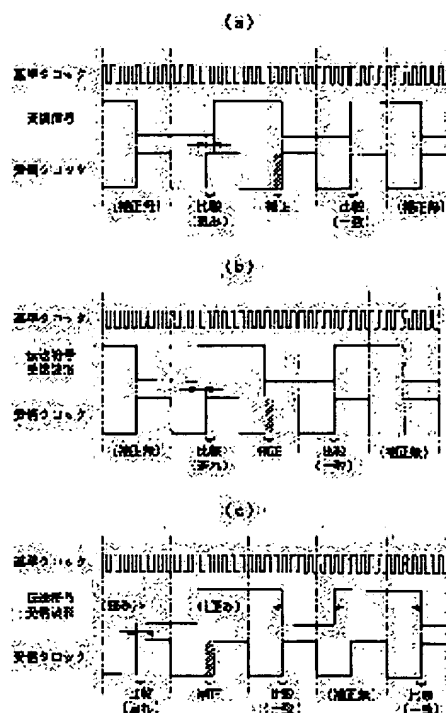
(72)Inventor : NAGURA MICHINAGA

(54) CLOCK SYNCHRONIZATION CORRECTION METHOD AND SYNCHRONIZING CLOCK GENERATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a clock synchronization method and a synchronizing clock generator that apply no meaningless and harmful phase correction to a generated clock even when the object signal to be synchronized has distortion.

SOLUTION: A received clock is generated by using a counter which is reset every time counting a count equivalent for a 2-code period, a phase of a received signal is compared with the received clock when the count equivalent to one-code period is counted after the reset, and increasing/decreasing the count to be reset according to the result of the phase comparison adjusts the phase of the received clock. Since the phase comparison is made for each 2-code period including both signal levels without fail, even when the received signal is subjected to waveform distortion of changing its duty ratio, the effect of the waveform distortion is cancelled, the effect of waveform distortion at the phase comparison is not caused so as to prevent useless phase correction against the waveform distortion.



LEGAL STATUS

[Date of request for examination]

01.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3562441

This Page Blank (uspto)

[Date of registration] 11.06.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-333055

(P 2 0 0 1 - 3 3 3 0 5 5 A)

(43) 公開日 平成13年11月30日 (2001. 11. 30)

(51) Int. Cl. ⁷

識別記号

F. I

テマコード (参考)

H04L 7/02

H03L 7/00

B 5J106

H03L 7/00

H04L 7/00

E 5K029

H04L 7/00

25/08

B 5K047

25/08

7/02

Z

審査請求 未請求 請求項の数 5 O L (全16頁)

(21) 出願番号 特願2000-147996 (P 2000-147996)

(71) 出願人 000004260

株式会社デンソー

(22) 出願日 平成12年5月19日 (2000. 5. 19)

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 名倉 道長

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74) 代理人 100082500

弁理士 足立 勉

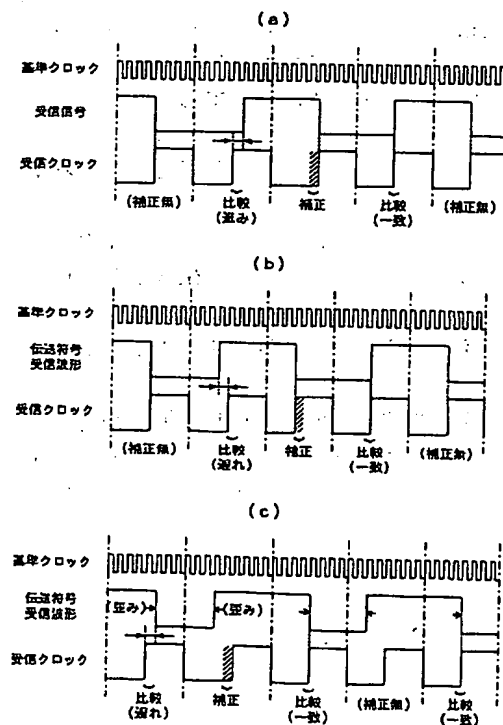
最終頁に続く

(54) 【発明の名称】 クロック同期補正方法及び同期クロック生成装置

(57) 【要約】

【課題】 同期させるべき処理対象信号が歪みを受けている場合に、生成クロックに対して無意味な位相補正や有害な位相補正が施されることのないクロック同期補正方法及び同期クロック生成装置を提供する。

【解決手段】 2符号周期に相当するカウント値をカウントする毎にカウント値がリセットされるカウンタを用いて受信クロックの生成を行い、リセット後、1符号周期に相当するカウント値をカウントした時点で、受信信号と受信クロックとの位相比較を行い、その位相比較結果に従い、リセットするカウント値を増減することにより、受信クロックの位相を調整する。両信号レベルが必ず含まれる2符号期間ごとに位相比較を行っているので、受信信号がデューティ比を変化させる波形歪みを受けていても波形歪みの影響が相殺され、位相比較時に波形歪みの影響を受けることがなく、波形歪みに対する無駄な位相補正を防止できる。



【特許請求の範囲】

【請求項 1】 予め設定された 1 符号周期の $1/N$ ($N = m \times n$; m, n は正整数且つ n は 2 以上) 倍の周期を有する基準クロックを $1/n$ 分周してなる生成クロックの位相を、1 符号内の特定タイミングにて必ず信号レベルが反転する符号にて符号化された処理対象信号の位相に同期させるため、前記生成クロック及び前記処理対象信号の各エッジタイミングに基づいて位相比較を行い、該位相比較の結果に従って、前記生成クロックを前記基準クロック単位で位相補正するクロック同期補正方法において、

前記位相比較を 2 符号周期毎に 1 回行い、該位相比較の結果が不一致である場合に前記位相補正を行うことを特徴とするクロック同期補正方法。

【請求項 2】 予め設定された 1 符号周期の $1/N$ ($N = m \times n$; m, n は正整数且つ n は 2 以上) 倍の周期を有する基準クロックを、 $1/n$ 分周してなる生成クロックの位相を、1 符号内の特定タイミングにて必ず信号レベルが反転する符号にて符号化された処理対象信号の位相に同期させるため、前記生成クロック及び前記処理対象信号の各エッジタイミングに基づいて位相比較を行い、該位相比較の結果に従って、前記生成クロックを前記基準クロック単位で位相補正するクロック同期補正方法において、

前記位相比較の結果が不一致となる毎に、前記生成クロックの位相が進んでいる場合と遅れている場合とで逆符号を付したずれ量を積算し、該ずれ量の積算値が予め設定された許容値を越えた場合に、前記位相補正を行うことを特徴とするクロック同期補正方法。

【請求項 3】 1 符号内の特定タイミングにて必ず信号レベルが反転する符号にて符号化された処理対象信号を処理する際に必要な該処理対象信号に同期したクロックを生成する同期クロック生成装置であって、

予め設定された 1 符号周期の $1/N$ ($N = m \times n$; m, n は正整数且つ n は 2 以上) 倍の周期を有する基準クロックにより駆動されるカウンタと、

該カウンタのカウント値に従って、前記基準クロックを $1/n$ 分周してなる生成クロックを生成するクロック生成手段と、

前記処理対象信号のエッジを検出するエッジ検出手段と、

前記カウンタのカウント値が 1 符号周期に相当した第 1 カウント値となる予想タイミングと、前記変化点検出手段にてエッジが検出される検出タイミングとを比較する位相比較手段と、

該位相比較手段での比較の結果、両タイミングが一致した場合、前記カウンタのカウント値が 2 符号周期に相当する第 2 カウント値を越えた時点で前記カウンタをリセットし、前記検出タイミングが前記予想タイミング以前の前方期間内のタイミングと一致した場合、予め設定さ

れた補正值だけ前記第 2 カウント値より小さい減カウント値を越えた時点で前記カウンタをリセットし、前記検出タイミングが前記予想タイミング以後の後方期間内のタイミングと一致した場合、前記第 2 カウント値より前記補正值だけ大きい増カウント値を越えた時点で前記カウンタをリセットするリセット手段と、

を備えることを特徴とする同期クロック生成装置。

【請求項 4】 1 符号内の特定タイミングにて必ず信号レベルが反転する符号にて符号化された処理対象信号を処理する際に必要な該処理対象信号に同期したクロックを生成する同期クロック生成装置であって、

予め設定された 1 符号周期の $1/N$ ($N = m \times n$; m, n は正整数且つ n は 2 以上) 倍の周期を有する基準クロックにより駆動されるカウンタと、

該カウンタのカウント値に従って、前記基準クロックを $1/n$ 分周してなる生成クロックを生成するクロック生成手段と、

前記処理対象信号のエッジを検出するエッジ検出手段と、

20 前記カウンタのカウント値が 1 符号周期に相当した第 1 カウント値となる予想タイミングと、前記変化点検出手段にてエッジが検出される検出タイミングとを比較する位相比較手段と、

該位相比較手段での比較の結果、前記検出タイミングが前記予想タイミング以前の前方期間内のタイミングと一致した場合にダウンカウントされ、前記検出タイミングが前記予想タイミング以後の後方期間内のタイミングと一致した場合にアップカウントされるアップダウンカウンタと、

30 該アップダウンカウンタのカウント値が予め設定された正の規定値に達した場合には、前記カウンタのカウント値が 2 符号周期に相当する第 2 カウント値より予め設定された補正值だけ大きい増カウント値を越えた時点で前記カウンタ及び前記アップダウンカウンタをリセットし、前記アップダウンカウンタのカウント値が予め設定された負の規定値に達した場合には、前記カウンタのカウント値が前記第 2 カウント値より前記補正值だけ小さい減カウント値を越えた時点で前記カウンタ及び前記アップダウンカウンタをリセットし、それ以外の場合に

40 は、前記第 2 カウント値を越えた時点で前記カウンタをリセットするリセット手段と、
を備えることを特徴とする同期クロック生成装置。

【請求項 5】 それぞれが請求項 3 又は請求項 4 記載の同期クロック生成装置からなり、一方に前記基準クロック、他方に該基準クロックを反転させた反転基準クロックが供給される一対の同期クロック生成部と、各同期クロック生成部にて行われる位相補正の種類に応じて、前記一対の同機クロック生成部がそれぞれ生成する生成クロックのいずれかを選択して出力するクロック選択手段と、

を備えることを特徴とする同期クロック生成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基準クロックを分周してなる生成クロックの位相を、1符号内の特定タイミングにて必ず信号レベルが反転する符号により符号化された処理対象信号の位相に同期させるために、生成クロックの位相を補正するクロック同期補正方法、及び同期クロック生成装置に関する。

【0002】

【従来の技術】従来より、デジタル信号をベースバンド伝送する通信系においては、送信信号波形と伝送路の帯域との整合性やタイミング抽出の容易性等の伝送特性上の要求条件を満たすために、送信側では、NRZ (Non-Return-Zero) 符号にて表されたデジタル信号を、上述の要求条件を満たすような伝送路符号に変換（エンコード）して送信し、受信側では伝送路符号で表された受信データを、元のNRZ符号に変換（デコード）することが行われている。

【0003】また、受信側では、受信データのデコードやデコードされたNRZ符号の処理に用いるため、伝送路符号からタイミング情報を抽出して、この抽出されたタイミング情報に基づいて受信データに同期したクロックを生成することも行われている。

【0004】このようなタイミング情報を多く含む伝送路符号として、1符号内の決められた箇所に必ず信号レベルが反転するようにされたマンチェスタ符号、FM0符号、FM1符号等が知られている。即ち、これら伝送路符号の信号レベルが反転するエッジがタイミング情報として用いられるのである。

【0005】また、受信側にて、伝送路符号に符号化されている受信信号のエッジを検出して、受信データに同期したクロックを生成する方法の一つとして、伝送路符号の1符号周期の $1/2^m$ 倍（通常、 $m=3\sim 5$ 程度）の周期を有する基準クロックを用い、この基準クロックを分周することにより受信信号に同期したクロックを生成する同期クロック生成装置が知られている。この装置は、生成クロックのエッジタイミングと受信信号のエッジを検出してなるエッジ検出信号のタイミングとを比較し、これらが一致するように生成クロックの位相を基準クロック単位で調整するようにされている。

【0006】なお、この種の同期クロック生成装置を用いる場合、通常、送信側での符号化及び受信側での復号化に用いるクロックは、いずれも水晶発振器を用いて生成され、送受間におけるクロック周波数のずれが数十ppm程度と極めて小さくなるようにされている。このため、受信側に設けられる同期クロック生成装置は、発振周波数の調整を行うことなく、基準クロックを分周してなる生成クロックの位相調整を行うだけで、受信信号に同期したクロックを簡単に生成することができるのであ

る。

【0007】ここで、同期クロック生成装置の動作を、信号レベルが符号の中央にてロウレベルからハイレベルに変化する符号をビットデータ '0' に対応させ、逆にハイレベルからロウレベルに変化する符号をビットデータ '1' に対応させたマンチェスタ符号を伝送路符号として用いる場合について具体的に説明する。但し、ここでは、基準クロックを $1/8$ 分周したものを受信クロックとし、この受信クロックの周期が1符号周期と一致するものとする。

【0008】即ち、受信信号と受信クロックとの間に位相ずれが生じた場合、それぞれの信号レベルが変化するエッジタイミングを比較（位相比較）した結果、図9

(a)に示すように、受信信号に対して受信クロックの位相が進んでいれば、受信クロックの次のエッジタイミングを、本来のタイミングより基準クロックの1クロック分だけ遅らせるように位相補正し、逆に、図9(b)に示すように、受信信号に対して受信クロックの位相が遅れていれば、受信クロックの次のエッジタイミングを、本来のタイミングより基準クロックの1クロック分だけ早めるように位相補正する。これにより、位相補正後の受信信号及び受信クロックのエッジタイミングが一致し、位相ずれは解消されることになる。

【0009】

【発明が解決しようとする課題】ところで、受信信号の信号波形は、伝送によって減衰と歪みを受け、特に信号レベルが急峻に変化するエッジ部分になまりが生じる。このなまった波形を波形整形（2値化）する際に適当なしきい値が用いられないと、2値信号の一方の信号レベルが広がり、その分だけ他方のレベルが狭くなるような歪みを生じ、受信信号における各符号のデューティ比が $1/2$ から外れたものとなる。

【0010】そして、このような歪みを受けた受信信号では、位相ずれが生じているわけではないため、本来、位相補正を行う必要がないのであるが、受信信号と受信クロックとの間に、エッジタイミングのずれが生じてしまうため、無意味な同期補正が繰り返されてしまうという問題があった。

【0011】即ち、図10(a)に示すように、受信信号が、波形歪みを受けることにより、本来のエッジタイミングより早く立ち上がり、遅く立ち下がるような波形（以下単に「歪み波形」という）となっている場合、受信クロックに対して上述のような位相補正を行うと、図10(b)に示すように、立ち下がりエッジが含まれた区間では、受信クロックの位相が進んでいると判断されるため、受信クロックが本来のタイミングより基準クロックの1クロック分だけ遅れるように位相補正され、続く立ち上がりエッジが含まれた区間では、逆に受信クロックの位相が遅れていると判断されるため、受信クロックが本来のタイミングより基準クロックの1クロック分

だけ早まるように補正される。つまり、この時点で最初の位相補正がされていない状態に戻るため、以下、同様の位相補正が無意味に繰り返されることになるのである。

【0012】また、図10(b)に示すように、ある区間にて、立ち下がりエッジを受信クロックのエッジに一致させるような位相補正を行うと、続く区間では、受信信号の立ち上がりエッジに対して、基準クロック2個分だけ受信クロックの位相が遅れることになる。つまり、波形歪みの影響を受けたエッジに基づいて位相補正を行うと、却って位相ずれを生じさせてしまうことになり、同期エラーが発生し易くなってしまいう問題もあった。

【0013】例えば、マンチェスタ符号のデコードを行う場合、通常、1符号内の前半部分及び後半部分の信号レベルをサンプリングする必要があり、受信クロックの2倍の周波数を有するデコード用のクロックにて各部分の中心にてサンプリングを行うとすると、受信信号に対するデコード用のクロックの位相ずれの許容量は1/4符号周期以下となる。

【0014】そして、基準クロック8個分が1符号周期に相当する場合には、基準クロック2個分が1/4符号周期に相当するため、波形歪みにに対して位相補正が行われ、例えば基準クロックの1クロック分のずれが生じた場合には、実際の位相ずれに対する許容量が1/4符号周期から1/8符号周期に半減してしまい、また2クロック分のずれが生じた場合には、位相ずれを許容できない状態となってしまうのである。

【0015】本発明は、上記問題点を解決するために、同期させるべき処理対象信号が歪みを受けている場合に、生成クロックに対して無意味な位相補正や有害な位相補正が施されることのないクロック同期補正方法及び同期クロック生成装置を提供することを目的とする。

【0016】

【課題を解決するための手段】上記目的を達成するための発明である請求項1記載のクロック同期補正方法では、基準クロックが、予め設定された1符号周期の1/N ($N=m \times n$; m, n は正整数且つ n は2以上) 倍の周期を有している。つまり、基準クロックを1/n分周してなる生成クロックは、任意のエッジから1符号周期後のタイミングに必ずエッジが存在する。

【0017】また、この生成クロックを同期させるべき処理対象信号は、1符号内の特定タイミングにて必ず信号レベルが反転する符号にて符号化されたものが用いられる。そして、生成クロックと処理対象信号との位相関係を調べるために、生成クロック及び処理対象信号の各エッジタイミングに基づいて位相比較を行うが、本発明では、この位相比較を2符号周期毎に1回行い、その位相比較の結果が不一致である場合に、基準クロック単位で位相補正を行う。

【0018】つまり、処理対象信号が歪みを受けて上述の歪み波形(図10(a)参照)を有している場合、隣接するエッジ同士のエッジ間隔は1符号周期と一致しなくなるが、1つ間をおいたエッジ同士のエッジ間隔は2符号周期と一致したものとなる。

【0019】これは、処理対象信号が歪みを受けた場合、デューティが変化するだけであるため、着目した期間中にハイレベルとロウレベルとが出現すれば歪みが相殺されることになる。そして、1符号周期の特定タイミングにて必ず信号レベルが反転する符号(例えばマンチェスタ符号)では、どのようなビット列を符号化したとしても、任意の2符号周期の間には、必ずハイレベル及びロウレベルの両方が出現するため、この符号により符号化された処理対象信号は、歪みを受けた場合でも、位相ずれが生じていない限り、任意のエッジから2符号周期後のタイミングにエッジが存在することになる。

【0020】従って、本発明によれば、処理対象信号が歪みを受けている場合、歪んだエッジタイミングに生成クロックの位相がロックされることになるものの、以後、この歪みの影響によって無駄な位相補正が繰り返されてしまうことを確実に防止できる。

【0021】次に請求項2記載のクロック同期補正方法では、請求項1の場合と同様の基準クロック、生成クロック、処理対象信号が用いられ、生成クロック及び処理対象信号間の位相比較を行った結果が不一致となる毎に、その時のずれ量を、生成クロックの位相が進んでいる場合と遅れている場合とで逆符号を付して積算し、この積算値が予め設定された許容値を越えた場合に位相補正を行う。

【0022】例えば、処理対象信号に対して生成クロックが進むような位相ずれが生じた場合(図8(a)参照)や、逆に処理対象信号に対して生成クロックが遅れるような位相ずれが生じた場合(図8(b)参照)には、位相比較を行う毎に、同じ位相ずれ(ずれ量+1又は-1)が検出されるため積算値が増大して規定値(図10では±3)に達するため、位相補正が実行されることになる。

【0023】一方、処理対象信号に歪みが生じている場合には、図8(c)に示すように、位相比較を行う毎に、逆方向の位相ずれが交互に検出されるため、積算値は規定値を越えることがなく、位相補正が実行されないことになる。このように、本発明によれば、処理対象信号に歪みが生じている場合に、歪みの影響によって位相補正が行われてしまうことを確実に防止できる。

【0024】しかも、何等かの原因により、処理対象信号の歪みの影響を受けたエッジタイミングと生成クロックのエッジタイミングとが一致した状態となったとしても、その場合には、歪みが集中するエッジのみで位相ずれが検出され積算値が増大するため、結果的に、歪みが各符号周期に均等に分配される方向に位相補正が行われ

10

20

30

40

50

ることになる。

【0025】従って、本発明によれば、生成クロックに、歪みの影響が部分的に集中してしまうことがなく、位相ずれの許容量を必要以上に低下させてしまうことがないため、処理対象信号に対するデコード等の処理を精度よく行うことができる。なお、位相ずれがある合には、直ちに位相補正を行った方がよいことは言うまでもないが、処理対象信号及び基準クロックのいずれもが水晶発振器の出力に基づいて生成されている場合、両者の周波数誤差（位相ずれ）は、せいぜい100ppm程度であるため、数ビット程度補正が遅れたとしても、その影響は殆ど無視し得る程度である。但し、このような補正の遅れが無視できない場合には、処理対象信号をシフトレジスタに保持しておき、位相ずれが検出された場合には数ビット分遡って位相補正を施すようにしてもよい。

【0026】次に請求項3記載の同期クロック生成装置では、予め設定された1符号周期の $1/N$ （ $N=m \times n$ ； m, n は正整数且つ n は2以上）倍の周期を有する基準クロックにより駆動されるカウンタを備えており、このカウンタのカウント値に従って、クロック生成手段が、基準クロックを $1/n$ 分周してなる生成クロックを生成する。

【0027】また、エッジ検出手段が、1符号内の特定タイミングにて必ず信号レベルが反転する符号にて符号化された処理対象信号のエッジを検出し、位相比較手段が、カウンタのカウント値が1符号周期に相当した第1カウント値となる予想タイミング、即ち現生成クロックのエッジタイミングと、変化点検出手段にてエッジが検出される検出タイミングとを比較する。

【0028】そして、リセット手段は、位相比較手段での比較の結果、両タイミングが一致した場合、即ち位相が一致しており位相補正を行う必要がない場合には、カウンタのカウント値が2符号周期に相当する第2カウント値を越えた時点でカウンタをリセットする。

【0029】また、リセット手段は、位相比較手段での比較の結果、検出タイミングが予想タイミング以前の前方期間内のタイミングと一致した場合、即ち、処理対象信号に対して生成クロックの位相が遅れている場合には、カウンタのカウント値が、第2カウント値より予め設定された補正值だけ小さい減カウント値を越えた時点でカウンタをリセットする。

【0030】更に、リセット手段は、検出タイミングが予想タイミング以後の後方期間内のタイミングと一致した場合、即ち、処理対象信号に対して生成クロックの位相が進んでいる場合には、カウンタのカウント値が、第2カウント値より補正值だけ大きい増カウント値を越えた時点でカウンタをリセットする。

【0031】つまり、カウンタのリセット後、1符号周期が経過した時点で位相比較を行い、その結果に基づい

て、更に1符号周期を経過後に行うリセットのタイミングを変化させており、換言すれば、位相比較を2符号周期毎に1回行い、その位相比較の結果が不一致である場合に基準クロック単位で位相補正を行う請求項1記載の方法を実現するようにされている。

【0032】従って、本発明の同期クロック生成装置によれば、請求項1記載の発明と同様の効果を得ることができる。また次に、請求項4記載の同期クロック生成装置では、請求項3記載の装置と同様のカウンタ、クロック生成手段、エッジ検出手段、位相比較手段に加えて、位相比較手段での比較の結果、検出タイミングが予想タイミング以前の前方期間内のタイミングと一致した場合にダウンカウントされ、検出タイミングが予想タイミング以後の後方期間内のタイミングと一致した場合にアップカウントされるアップダウンカウンタを備えている。

【0033】そして、リセット手段は、アップダウンカウンタのカウント値が予め設定された正の規定値に達した場合には、処理対象信号に対して生成クロックの位相が進んでいるものとして、カウンタのカウント値が2符号周期に相当する第2カウント値より補正值だけ大きい増カウント値を越えた時点でカウンタをリセットする。

【0034】また、アップダウンカウンタのカウント値が予め設定された負の規定値に達した場合には、処理対象信号に対して生成クロックの位相が遅れているものとして、カウンタのカウント値が第2カウント値より補正值だけ小さい減カウント値を越えた時点でカウンタをリセットする。

【0035】更に、それ以外の場合には、位相補正を行う必要がないものとして、カウンタのカウント値が第2カウント値を越えた時点でカウンタをリセットする。つまり、位相比較の結果に基づいて、そのずれ量をアップダウンカウンタにて積算し、積算値（カウント値）が規定値に達した場合に、基準クロック単位で位相補正を行っており、請求項2記載の方法を実現するようにされている。

【0036】従って、本発明の同期クロック生成装置によれば、請求項2記載の発明と同様の効果を得ることができる。なお、位相比較結果とダウンカウント及びアップカウントとの関係は、当然、反対に設定してもよい。ところで、基準クロックの周波数は高いほど、処理対象信号に対して生成クロックの位相を精度よく一致させることができ、また位相ずれに対する許容量を大きく確保することができるが、回路の動作周波数の制限等から、基準クロックとして使用できるクロック周波数にも限界がある。

【0037】そこで、請求項5記載の同期クロック生成装置のように、一対の同期クロック生成部のそれぞれが、請求項3又は請求項4記載の同期クロック生成装置からなり、一方に前記基準クロック、他方に該基準クロックを反転させた反転基準クロックを供給して動作さ

10

20

30

40

50

せ、クロック選択手段が、各同期クロック生成部にて行われる位相補正の種類に応じて、前記一对の同機クロック生成部がそれぞれ生成する生成クロックのいずれかを選択して出力するように構成してもよい。

【0038】即ち、各同期クロック生成部を、基準クロックと反転基準クロックとで動作させることにより、同じ処理対象信号に対して各同期クロック生成部がそれぞれ生成する生成クロックは、基準クロックの半クロック分だけ互いに位相のずれたものとなる。

【0039】そして、位相補正が行われた際に、補正実行側或いは補正非実行側のいずれの生成クロックを選択すべきかは、位相補正の種類（遅れ補正／進み補正）及び回路構成によって異なってくるため、これらの条件に応じて、処理対象信号の位相とのずれがより小さくなる側の生成クロックを適宜決定すればよい。

【0040】この場合、基準クロックの半周期単位で、生成クロックの位相が制御されることになるため、過剰な補正により、位相ずれに対する許容量が大幅に低下してしまうことを防止できる。また、本発明の同期クロック生成装置によれば、基準クロック単位で生成クロックの位相を制御する請求項3又は請求項4記載の装置と比較して、同じ周波数の基準クロックを用いるのであれば2倍の精度を実現でき、また、同じ精度を実現するのであれば、基準クロックの周波数を半分に低下させることができるため、安価かつ容易に装置を作製できる。

【0041】

【発明の実施の形態】以下に本発明の実施形態を図面と共に説明する。

【第1実施形態】図1は、本発明が適用された第1実施形態のデコーダの全体構成図である。

【0042】なお、本実施形態のデコーダ2は、マンチェスタ符号に符号化されたデジタル信号をNRZ符号に復号化するものであり、伝送路等を介して受信された受信信号DI、及び水晶発振器の出力を分周することにより生成された基準クロックFCKを入力とし、受信信号DIを復号してなるデジタル信号DO、これに同期した受信クロックRCK（NRZ符号の中央が立ち上がりエッジとなる）、及び同期エラーが生じた場合にアクティブとなるエラー信号ERRを出力するように構成されている。

【0043】なお、基準クロックFCKの周期は、受信信号DIを構成するマンチェスタ符号の1符号周期の1/16倍に設定されている。また、受信信号DIは、その送信元にて、水晶発振器の出力を分周することにより生成された送信クロックを用いて生成されるものとする。

【0044】図1に示すように、本実施形態のデコーダ2は、入力された受信信号DIを基準クロックFCKを用いてサンプリングすると共に、デジタル信号DIに重畳されたノイズの除去を行うフィルタ回路10と、フィ

ルタ回路10の出力を基準クロックFCKのタイミングでラッチするフリップフロップ（FF）回路12と、FF回路14a及び排他的論理和（XOR）回路14bからなり、FF回路12の出力であるサンプリング信号SDの立ち上がり及び立ち下りの両エッジを検出し、基準クロックFCKの1クロックの間アクティブとなるエッジ検出信号DIF（図2参照）を出力するエッジ検出回路14と、エッジ検出信号DIF及び基準クロックFCKに基づき、エッジ検出信号DIFに同期したデコードクロックDCK及び反転受信クロックRCK（図2参照）を生成するクロック生成回路16と、反転受信クロックRCKを反転させ、受信クロックRCKとして出力する反転回路18とを備えている。

【0045】フィルタ回路10は、3段のシフトレジスタ（図示せず）を備えており、図2に示すように、初段のレジスタにて受信信号DIを基準クロックFCKのタイミングでサンプリングすると共に、そのサンプリングした信号レベルを、基準クロックFCKに従って順次シフトする。従って、マンチェスタ符号では、信号レベルが反転する符号の前半と後半とでそれぞれ8回ずつ、符号当たり合計16回のサンプリングが行われることになる。

【0046】また、フィルタ回路10は、シフトレジスタの各段にラッチされた3つの信号レベルに基づき多数決によって出力する信号レベルを決定する多数決回路（図示せず）を備えている。そして、この多数決回路にて決定された信号レベルが、フィルタ回路10の出力として、基準クロックFCKに従って順次出力される。また、図2中のK区間に示すように、誤った信号レベル（斜線で示されたデータB）が混入したとしても、多数決回路の作用により除去されることになる。

【0047】なお、図2において、エッジ検出信号DIFが点線となっている部分は、符号の境界を表しており、‘11’又は‘00’のように同じ値を表す符号が続く場合には、符号の境界で信号レベルが反転するためハイレベルとなり、‘10’又は‘01’のように異なる値を表す符号が続く場合には、符号の境界で信号レベルが反転しないためロウレベルとなることを表している。

【0048】また、本実施形態のデコーダ2は、基準クロックFCKを反転させた反転基準クロックを生成する反転回路20と、FF回路12からのサンプリング信号SDを、反転回路20からの反転基準クロックのタイミングでラッチするFF回路22と、FF回路22の出力であるサンプリング信号SDHをデコードクロックDCKに従ってNRZ符号に復号化するデコード回路24と、デコード回路24からの出力を、クロック生成回路16からの反転受信クロックRCKにてラッチするFF回路26とを備えており、FF回路26の出力がNRZ符号に復号化されたデジタル信号DOとして出力され

る。

【0049】デコード回路24は、サンプリング信号SDHをデコードクロックDCKに従ってラッチするFF回路24a、FF回路24aの出力をデコードクロックDCKに従ってラッチするFF回路24b、FF回路24aの出力がロウレベル且つFF回路24bの出力がハイレベルの時に出力がハイレベルとなる論理積(AND)回路24cからなる。

【0050】そして、デコード回路24は、図2に示すように、サンプリング信号SDHを、デコードクロックDCKにより、各符号の前半のほぼ中心及び後半のほぼ中心のタイミングでサンプリングし、サンプリング信号SDHの信号レベルが、ハイレベルからロウレベルに変化した場合に、これを「1」にデコードし、それ以外の場合は全て「0」にデコードして出力する。

【0051】なお、デコード回路24の出力は、デコード回路24を構成するFF回路24a、24bに同一符号の前半と後半とが揃うタイミングで、反転受信クロックRRCCKにより、FF回路26にラッチされる。次に、図3は、本発明の主要部であるクロック生成回路16の構成を表すブロック図である。

【0052】図3に示すように、クロック生成回路16は、当該クロック生成回路16の内部にて生成されるリセット信号RSTによりカウント値がゼロクリアされ、基準クロックFCKに従ってカウント値がカウントアップされるカウンタ30と、カウンタ30のカウント値が、3、7、11～19、23、27、31～32の場合に、それぞれ基準クロックFCKの1クロックの間だけアクティブとなるタイミング信号N3、N7、N11～N19、N23、N27、N30～N32を生成するタイミング生成回路32とを備えている。

【0053】また、クロック生成回路16は、タイミング信号N3、N11、N19、N27に従ったタイミングで立ち上がり、タイミング信号N7、N15、N23及びリセット信号RSTに従ったタイミングで立ち下がるデコードクロックDCK(図4参照、以下同様)を生成するDCK生成回路34と、タイミング信号N7、N23に従ったタイミングで立ち上がり、タイミング信号N15及びリセット信号RSTに従ったタイミングで立ち下がる反転受信クロックRRCCKを生成するRRCCK生成回路36とを備えている。

【0054】なお、タイミング信号に従ったタイミングとは、タイミング信号のアクティブ中における基準クロックの立ち上がりタイミングのことを表す。但し、図4では、基準クロックの立ち上がりタイミングでタイミング信号が変化するように示されているが、実際には、回路の遅延により、基準クロックに対してタイミング信号の方が遅延したものとなり、例えばタイミング信号N3に従ったタイミングとは、カウント値3及び4の間の基準クロックの立ち上がりタイミングとなる。

【0055】また、クロック生成回路16は、タイミング信号N15がアクティブである間にエッジ検出信号DIFがアクティブに変化するとアクティブとなる保持信号Jk、タイミング信号N11～N14のいずれかがアクティブである間(以下「前方期間」ともいう)にエッジ検出信号DIFがアクティブに変化するとアクティブとなるダウン信号Jd、タイミング信号N16～N19のいずれかがアクティブである間(以下「後方期間」ともいう)にエッジ検出信号DIFがアクティブに変化するとアクティブとなるアップ信号Juを生成する位相比較回路38を備えている。

【0056】但し、保持信号Jk、ダウン信号Jd、アップ信号Juは、いずれもタイミング信号N7に従ったタイミングで非アクティブとなるようにされている。更に、クロック生成回路16は、保持信号Jkがアクティブの場合には、タイミング信号N31に従ったタイミングでアクティブとなり、ダウン信号Jdがアクティブの場合には、タイミング信号N30に従ったタイミングでアクティブとなり、アップ信号Juがアクティブの場合には、タイミング信号N32に従ったタイミングでアクティブとなるリセット信号RSTを生成すると共に、保持信号Jk、ダウン信号Jd、アップ信号Juのいずれもが非アクティブである場合に、タイミング信号N23に従ったタイミングでアクティブとなり、その後最初のエッジ検出信号DIFに従ったタイミングで非アクティブに戻るエラー信号ERRを生成するリセット信号生成回路40を備えている。

【0057】このように構成されたクロック生成回路16では、タイミング信号N15が、本発明における予想タイミングに相当し、このタイミング信号N15がアクティブである間にエッジ検出信号DIFがアクティブに変化した場合には、クロックDCK、RRCCKは位相ずれを起こしていないものとして、図4中に実線にて示すように、保持信号Jkがアクティブとなり、タイミング信号N31に等しいリセット信号RSTが生成される。このリセット信号RSTのタイミングに従って、カウンタ30のカウント値がクリアされると共に、DCK生成回路34及びRRCCK生成回路36がリセットされることにより、クロックDCK、RCKの位相は現状のまま維持されることになる。

【0058】また、前方期間(N11～N14)内にエッジ検出信号DIFがアクティブに変化した場合には、クロックDCK、RCKの位相は遅れているものとして、図4中一点鎖線にて示すように、ダウン信号Jdがアクティブとなり、通常より1クロックだけ早いタイミング信号N30に等しいリセット信号RSTが生成される。このリセット信号RSTのタイミングに従って、カウンタ30のカウント値がクリアされると共に、DCK生成回路34及びRRCCK生成回路36がリセットされることにより、クロックDCK、RCKの位相が基準ク

ロック FCK の 1 クロック分だけ進むことになる。

【0059】また、後方期間 (N16~N19) 内にエッジ検出信号 DIF がアクティブに変化した場合には、クロック DCK, RCK の位相が進んでいるものとして、図 4 中二点鎖線にて示すように、アップ信号 Ju がアクティブとなり、通常より 1 クロックだけ遅いタイミング信号 N32 に等しいリセット信号 RST が生成される。このリセット信号 RST のタイミングに従って、カウンタ 30 のカウント値がクリアされると共に、DCK 生成回路 34 及び RCK 生成回路 36 がリセットされることにより、クロック DCK, RCK の位相が基準クロック FCK の 1 クロック分だけ遅れることになる。

【0060】一方、タイミング信号 N11~N19 のいずれかがアクティブである間に、エッジ検出信号 DIF がアクティブに変化しなかった場合には、同期エラーであるとして、タイミング信号 N23 に従ったタイミングでエラー信号 ERR がアクティブとなり、その後、エッジ検出信号 DIF がアクティブに変化した時点で、リセット信号 RST が送出されると共に、エラー信号 ERR が解除される。

【0061】つまり、受信信号とクロック DCK, RCK (RCK) との間に位相ずれが生じた場合、図 5 (a) に示すように、受信信号に対してクロック DCK, RCK の位相が進んでいれば、位相比較を行った 1 符号周期後のエッジタイミングが、本来のタイミングより基準クロックの 1 クロック分だけ遅れるように変化し、逆に、図 5 (b) に示すように、受信信号に対してクロック DCK, RCK の位相が遅れていれば、位相比較を行った 1 符号周期後のエッジタイミングが、本来のタイミングより基準クロックの 1 クロック分だけ早まるように変化し、その結果、位相補正後の受信信号及びクロック DCK, RCK のエッジタイミングが一致して、位相ずれは解消されることになる。

【0062】また、受信信号が波形歪みを受けている場合、図 5 (c) に示すように、立ち下がりエッジで位相比較が行われたとすると、ここではクロック DCK, RCK の位相が遅れていると判断されるため、その 1 符号周期後のエッジタイミングが、本来のタイミングより基準クロックの 1 クロック分だけ遅れるように変化する。以後、最初の位相比較から、2 符号周期毎に位相比較が行われるが、位相比較が行われるタイミングの間には、ロウレベルとハイレベルとが 1 回ずつ存在しているため、歪みの影響が相殺されることになる。つまり、位相比較のタイミングでは、歪みの影響によるエッジタイミングのずれが生じてしまうことがなく、従って、無駄な位相補正が繰り返し行われることがない。

【0063】以上説明したように、本実施形態のデコーダ 2 においては、基準クロック FCK によりカウンタ 30 を動作させ、このカウンタ 30 のカウント値に基づいて生成されるタイミング信号に従ってクロック DCK,

RCK を生成している。そして、カウンタ 30 のリセット後、1 符号周期の経過に相当したタイミング信号 N15 の前後にて、エッジ検出信号 DIF との位相比較を行い、位相比較の結果に基づいて、更に 1 符号周期が経過した時点で生成されるリセット信号のタイミングを調整することにより、クロック DCK, RCK の位相を調整している。

【0064】つまり、基準クロック FCK にて動作するカウンタ 30 に従って生成されるタイミング、ひいてはクロック DCK, RCK のエッジタイミングと、処理対象信号 (ここでは受信信号 DI をサンプリングしてなるサンプリング信号 SDH) のエッジタイミング (エッジ検出信号 DIF) との比較 (即ち位相比較)、及びその比較結果に基づくカウンタ 30, DCK 生成回路 34, RCK 生成回路 36 のリセット (即ち位相補正) を、2 符号周期毎に 1 回行うようにされている。

【0065】従って、本実施形態のデコーダ 2 によれば、受信信号が歪みを受けている場合、歪んだエッジタイミングに生成クロックの位相がロックされることになるものの、以後、この歪みの影響によって無駄な位相補正が繰り返されてしまうことを確実に防止できる。

【0066】なお、本実施形態において、DCK 生成回路 34, RCK 生成回路 36 がクロック生成手段、エッジ検出回路 14 がエッジ検出手段、位相比較回路 38 が位相比較手段、リセット信号生成回路 40 がリセット手段に相当する。

【第 2 実施形態】次に第 2 実施形態について説明する。

【0067】本実施形態は、第 1 実施形態とは、クロック生成回路 16 のリセット信号生成回路 40 及びその周辺の構成が異なるだけであるため、この点についてのみ説明する。即ち、図 6 に示すように、本実施形態においては、第 1 実施形態のクロック生成回路 16 にはない新たな構成として、位相比較回路 38 から供給されるダウン信号 Jd 及びアップ信号 Ju のいずれかがアクティブの時にアクティブとなる位相ずれ検出信号 Jz を生成する論理和 (OR) 回路 41 と、ダウン信号 Jd によりダウンカウントされ、アップ信号 Ju によりアップカウントされるアップダウンカウンタ 42 とを備えている。

【0068】また、本実施形態のリセット信号生成回路 40a は、ダウン信号 Jd, アップ信号 Ju の代わりに、論理和 (RO) 回路 41 が生成する位相ずれ検出信号 Jz、及びアップダウンカウンタ 42 のカウント値 Cud が入力され、アップダウンカウンタ 42 のカウント値をクリアするクリア信号 CR を出力するようにされている。

【0069】そして、このリセット信号生成回路 40a は、保持信号 Jk がアクティブであるか、位相ずれ検出信号 Jz がアクティブであり且つカウント値 Cud が規定値に達していない場合には、タイミング信号 N31 に従ったタイミングでアクティブとなり、位相ずれ検出信号

10

20

30

40

50

J_zがアクティブであり且つカウント値Cudが負の規定値に達している場合には、タイミング信号N30に従ったタイミングでアクティブとなり、位相ずれ検出信号J_zがアクティブであり且つカウント値Cudが正の規定値に達している場合には、タイミング信号N32に従ったタイミングでアクティブとなるリセット信号RSTを生成するように構成されている。

【0070】また、リセット信号生成回路40aは、保持信号J_k、位相ずれ検出信号J_zのいずれもが非アクティブである場合に、タイミング信号N23に従ったタイ
10 ミングでアクティブとなり、その後最初のエッジ検出信号DIFに従ったタイミングで非アクティブに戻るエラー信号ERRを生成すると共に、カウント値Cudが規定値に達した場合には、その後のリセット信号RSTと同じタイミングでアクティブとなるクリア信号CRを生成するように構成されている。

【0071】このように構成された本実施形態のデコーダ2では、クロックDCK、RCKの位相が進んでいる（アップ信号J_uがアクティブ）場合には、アップ
20 ダウンカウンタ42のカウント値Cudがアップカウントされ、位相が遅れている（ダウン信号J_dがアクティブ）場合にはカウント値Cudがダウンカウントされ、カウント値Ccdが規定値に達した場合にのみ、位相補正（リセット信号RSTのタイミング調整）が行われる。

【0072】従って、本実施形態のデコーダ2によれば、受信信号D1が歪みを受けている場合には、アップ
カウントとダウンカウントとが交互に繰り返され（図8（c）参照）、規定値に達することがないため、歪みの影響を受けて不要な位相補正を行ってしまい、その位相補正によって却って位相ずれを生じさせてしまうという
30 事態を確実に防止でき、装置の信頼性を向上させることができる。

【第3実施形態】次に第3実施形態について説明する。

【0073】本実施形態のデコーダ3は、それぞれが第1実施形態のデコーダ2と全く同じ構成を有する第1及び第2処理部2a、2bを備えており、両処理部2a、
2bには、同じ受信信号D1が供給されると共に、第1処理部2aには、基準クロックFCKを反転回路4を介して反転させてなる反転基準クロックが供給され、第2
40 処理部2bには、基準クロックFCKがそのまま供給されるように構成されている。

【0074】また、デコーダ3は、選択信号SELに従って、いずれか一方の処理部2a、2bからの信号DO、RCK、ERRを選択して出力するセクタ6と、両処理部2a、2b内で生成される各種信号に基づき、

選択信号SELを生成する切替制御部8とを備えている。

【0075】このように構成された本実施形態のデコーダ3では、両処理部2a、2bが、互いに基準クロックFCKの半クロックだけずれた信号DO、RCKを生成するため、両処理部2a、2bが生成する信号を適宜選択して用いることにより、基準クロックFCKの半周期単位で位相補正を行うことができる。

【0076】その結果、基準クロックFCKの1周期単位で位相補正を行う場合と比較して、同じ周波数の基準クロックFCKを用いるのであれば2倍の精度を実現でき、また、同じ精度を実現するのであれば、基準クロックFCKの周波数を半分に低下させることができるため、安価かつ容易に装置を作製できる。

【0077】なお、本実施形態では、処理部2a、2bとして、第1実施形態のデコーダを用いたが、第2実施形態のデコーダを用いてもよい。

【図面の簡単な説明】

【図1】 第1実施形態のデコーダの全体構成図である。

【図2】 デコーダの各部の動作を表すタイミング図である。

【図3】 クロック生成回路の構成を表すブロック図である。

【図4】 クロック生成回路の動作を表すタイミング図である。

【図5】 位相ずれ及び波形歪みに対する動作を表す説明図である。

【図6】 第2実施形態におけるクロック生成回路周辺の構成を表すブロック図である。

【図7】 第3実施形態のデコーダの全体構成図である。

【図8】 発明の効果を表す説明図である。

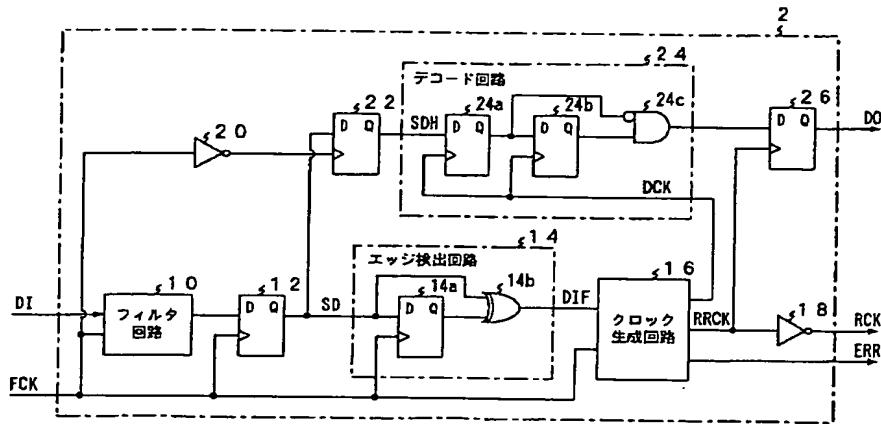
【図9】 従来装置の動作を表す説明図である。

【図10】 従来装置の問題点を表す説明図である。

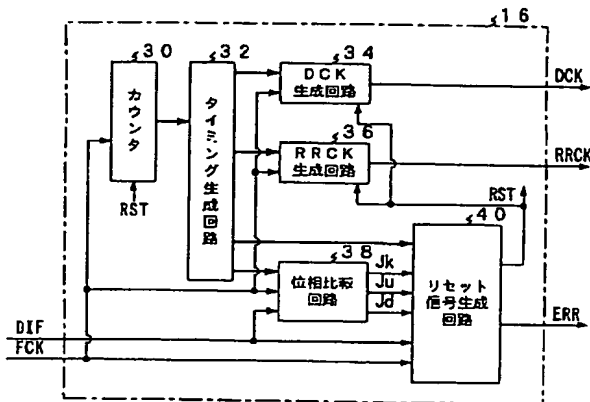
【符号の説明】

2、3…デコーダ、2a…第1処理部、2b…第2処理部、4、18、20、26…反転回路、6…セクタ、8…切替制御部、10…フィルタ回路、12、22…フリップフロップ（FF）回路、14…エッジ検出回路、16…クロック生成回路、24…デコード回路、30…カウンタ、32…タイミング生成回路、34…DCK生成回路、36…RCK生成回路、38…位相比較回路、40、40a…リセット信号生成回路、41…論理和（OR）回路、42…アップダウンカウンタ

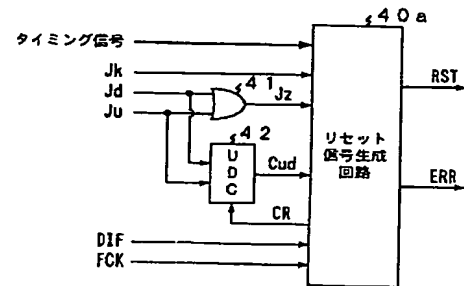
【図 1】



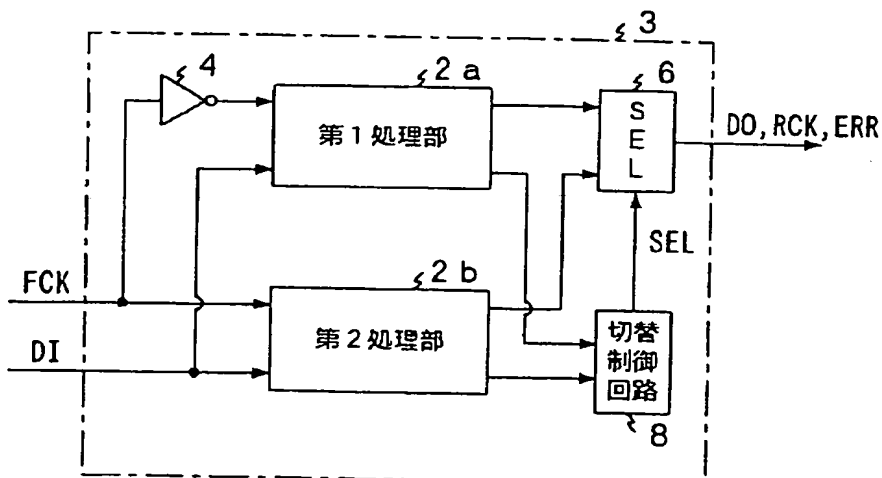
【図 3】



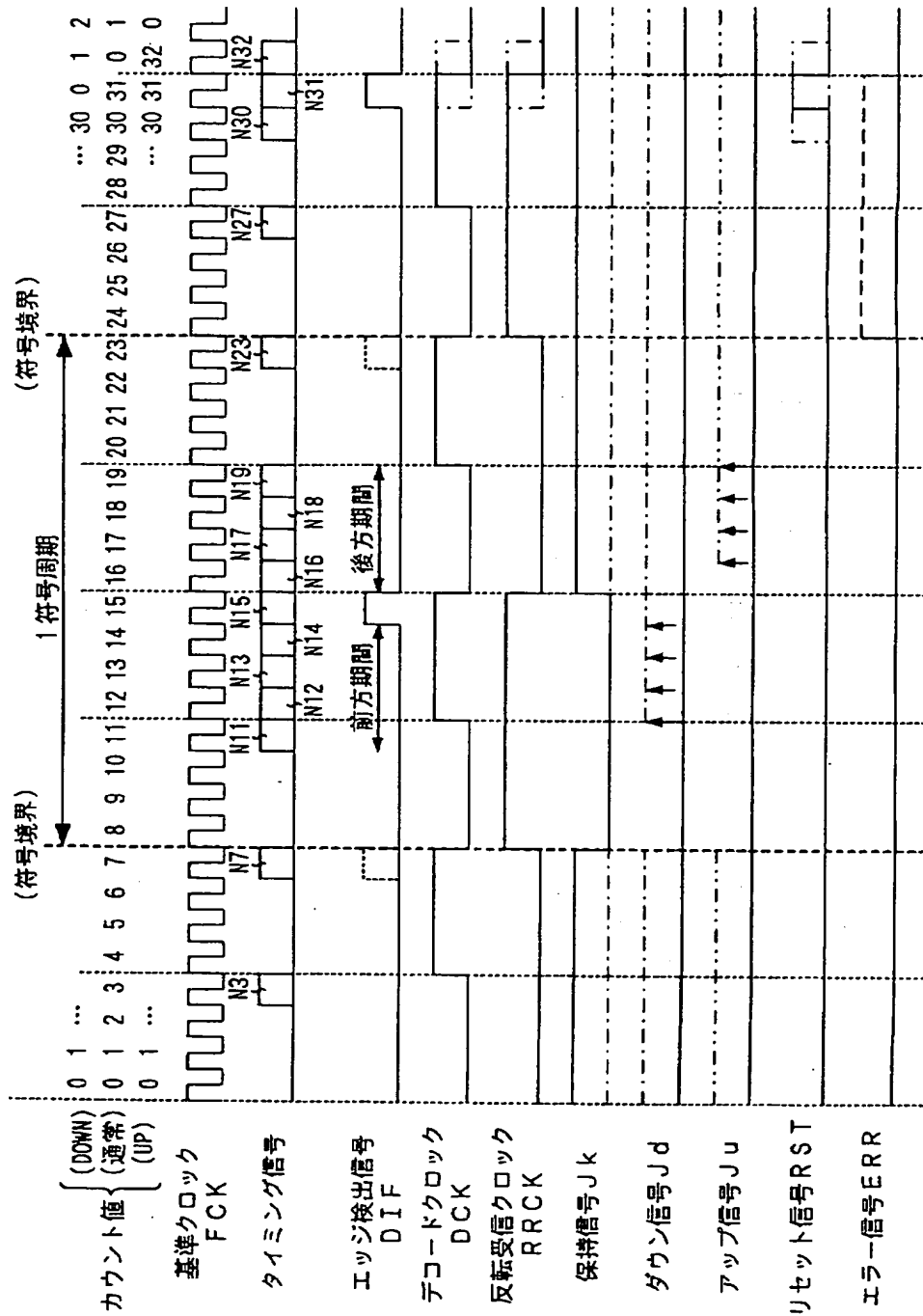
【図 6】



【図 7】

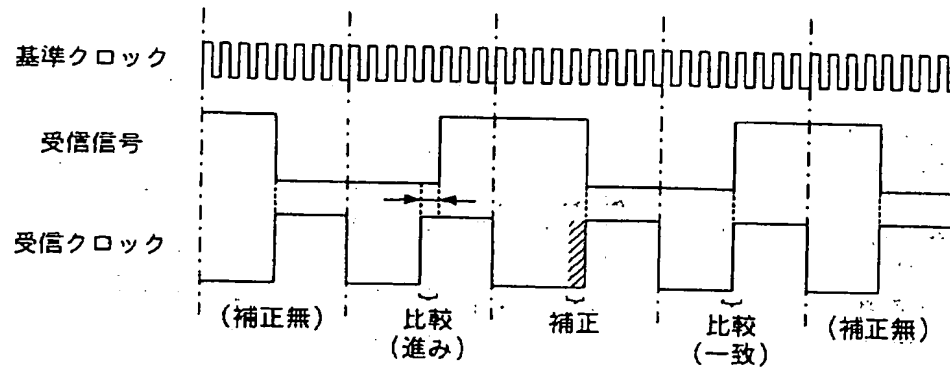


【図 4】

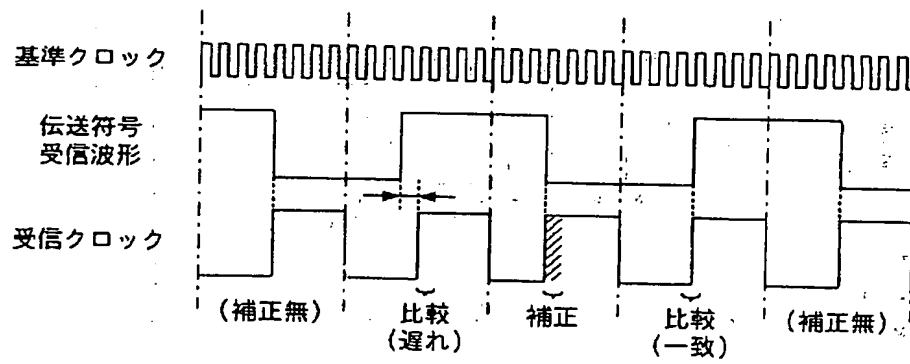


【図 5】

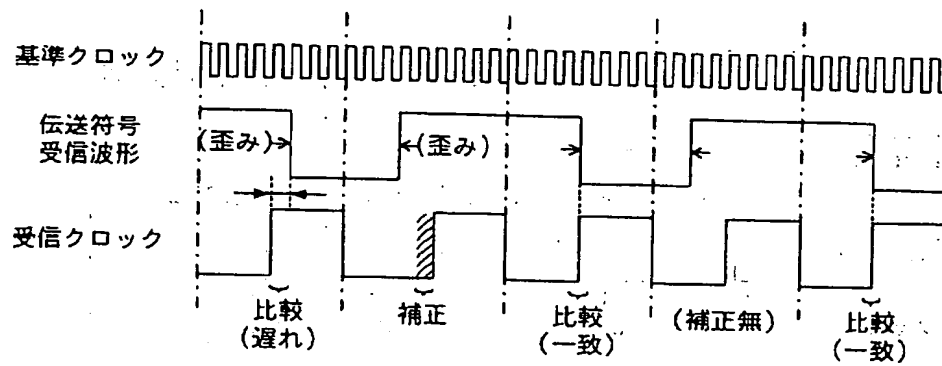
(a)



(b)

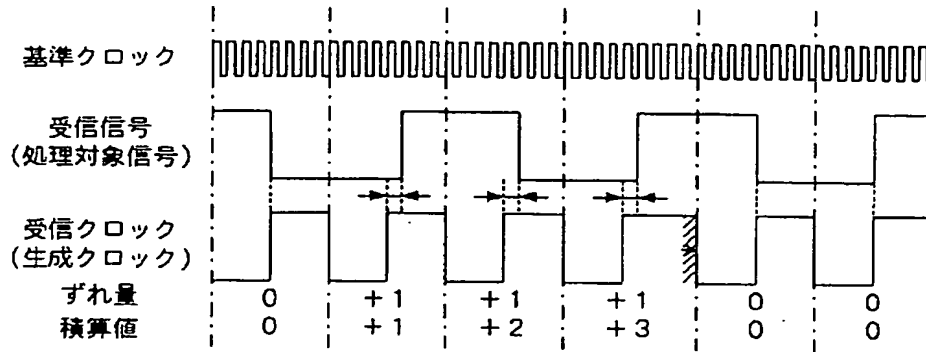


(c)

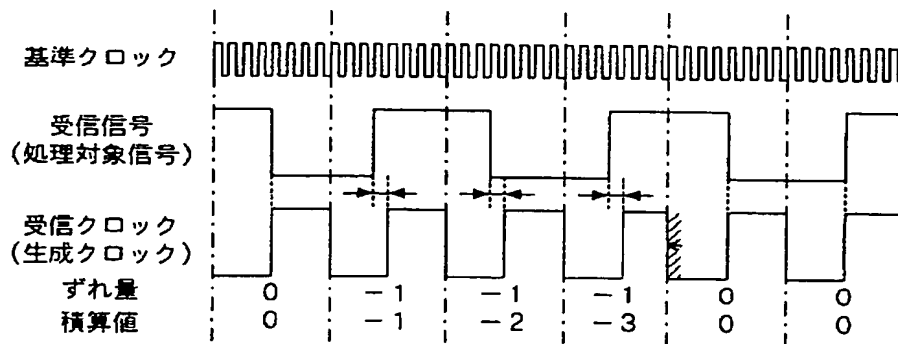


【図 8】

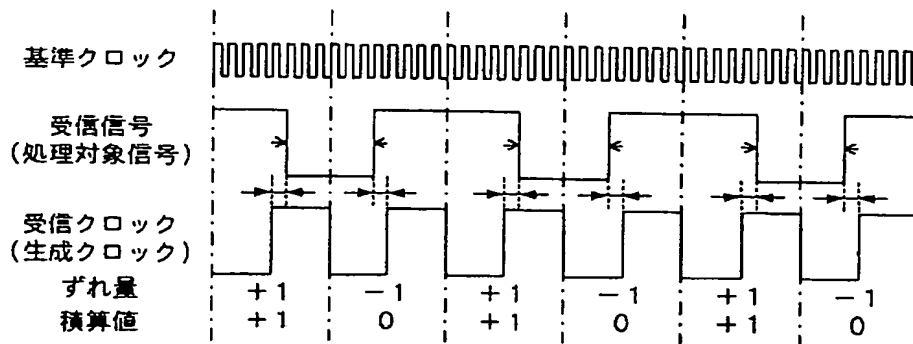
(a)



(b)

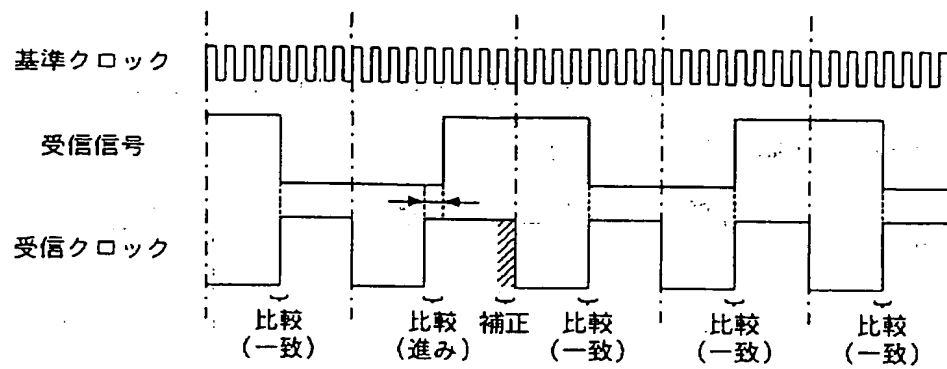


(c)

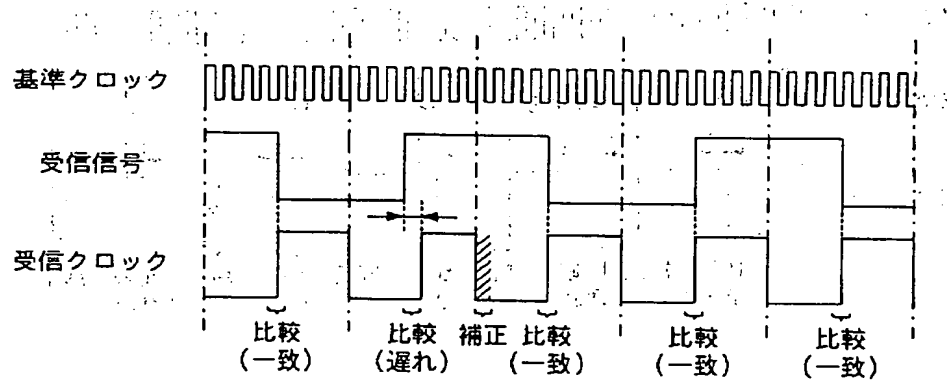


【図 9】

(a)

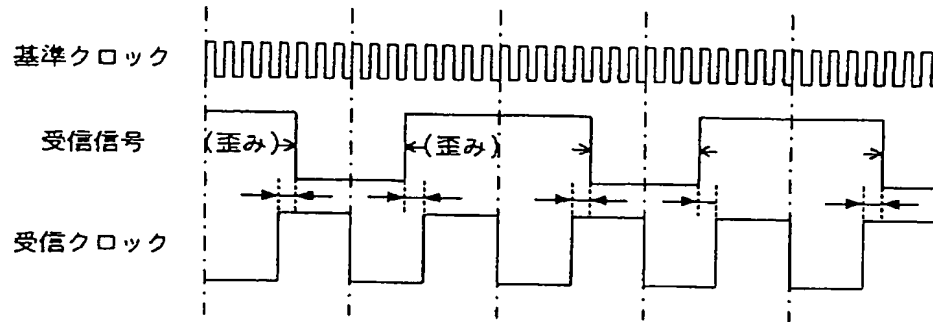


(b)

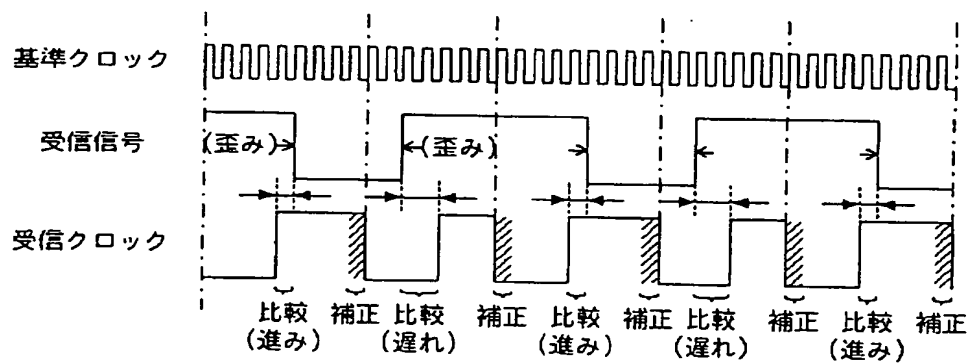


【図 10】

(a)



(b)



フロントページの続き

F ターム (参考) 5J106 AA03 BB02 CC25 DD17 DD23
 DD42 DD46 EE01 GG09 HH09
 JJ07 KK36 KK39
 5K029 AA01 CC01 CC04 DD02 FF10
 GG03 HH08 HH11 HH14 HH21
 HH27 LL19
 5K047 AA12 FF02 FF05 GG02 GG09
 GG11 GG24 GG29 MM55 MM56
 MM58 MM63